

PokeyMAX-Entwicklerhandbuch (2026-03-16 für Core-Version v1.30)

Je nach Version kann der PokeyMAX mehrere Audiochips enthalten

Memory Map

\$D200-\$D20F	Pokey 1
\$D210-\$D21F	Pokey 2/Konfiguration
\$D220-\$D22F	Pokey 3
\$D230-\$D23F	Pokey 4
\$D240-\$D25F	SID1
\$D260-\$D27F	SID2
\$D280-\$D283	COVOX
\$D284-\$D29F	SAMPLE
\$D2A0-\$D2AF	PSG1
\$D2B0-\$D2BF	PSG2
\$D2C0-\$D2FF	RESERVIERT

Vereinfachte Memory Maps

Mono (oder jeder PokeyMAX, der auf Mono gestellt ist)

\$D200-\$D20F	Pokey1
\$D210-\$D2FF	Wiederholung/Spiegelung von Pokey 1

Stereo

\$D200-\$D20F	Pokey 1
\$D210-\$D21F	Pokey2/Konfiguration
\$D220-\$D2FF	Wiederholung/Spiegelung von Pokey 1, dann Pokey 2, dann Pokey 1 usw.

Stereo mit Covox

\$D200-\$D20F	Pokey 1
\$D210-\$D21F	Pokey 2/Konfiguration
\$D220-\$D27F	Wiederholung/Spiegelung von Pokey 1, dann Pokey 2, dann Pokey 1 usw.
\$D280-\$D29F	COVOX
\$D2A0-\$D2FF	Wiederholung/Spiegelung von COVOX

Quad

\$D200-\$D20F	Pokey 1
\$D210-\$D21F	Pokey 2/Konfiguration
\$D220-\$D22F	Pokey 3
\$D230-\$D23F	Pokey 4
\$D240-\$D2FF	Wiederholung/Spiegelung von Pokey 1, dann Pokey 2, dann Pokey 3, dann Pokey 4 usw.

Quad mit Covox

\$D200-\$D20F	Pokey 1
\$D210-\$D21F	Pokey 2/Konfiguration

\$D220-\$D22F	Pokey 3
\$D230-\$D23F	Pokey 4
\$D240-\$D27F	Wiederholung/Spiegelung von Pokey 1, dann Pokey 2, dann Pokey 3, dann Pokey 4 usw.
\$D280-\$D29F	COVOX
\$D2A0-\$D2FF	Wiederholung/Spiegelung von COVOX

Quad mit SID

\$D200-\$D20F	Pokey 1
\$D210-\$D21F	Pokey 2/Konfiguration
\$D220-\$D22F	Pokey 3
\$D230-\$D23F	Pokey 4
\$D240-\$D25F	SID1
\$D260-\$D27F	SID2
\$D280-\$D2FF	Wiederholung/Spiegelung von allen

Pokey Register

Schaut bitte in Wikipedia , dem Altirra Hardware Reference Manual oderr Mapping the Atari usw.

<https://en.wikipedia.org/wiki/POKEY>

<http://www.virtualdub.org/downloads/Altirra%20Hardware%20Reference%20Manual.pdf>

<https://www.atariarchives.org/mapping/>

IRQ ist standardmäßig nur an Pokey 1 angeschlossen, obwohl es ein Register gibt, mit dem alle Pokey-Ports angeschlossen werden können.

Potis und Tastatur sind nur mit Pokey 1 verbunden.

Pokey 1 und Pokey 3 werden auf den linken Kanal (und den internen Kanal) geleitet.

Pokey 2 und Pokey 4 gehen zum rechten Kanal.

SID registers

Schaut bitte im C64-Wiki und im Datenblatt zum MOS Technology 6581/8580 SID.

<https://www.c64-wiki.com/wiki/SID>

<https://www.waitingforfriday.com/?p=661>

SID 1 wird an den linken Kanal geleitet.

SID 2 wird an den rechten Kanal geleitet.

SID wird mit etwa 1 MHz getaktet. Dies entspricht einem Bruchteil von PHI2: 5/9 PHI2 im PAL-Modus und 4/7 PHI2 im NTSC-Modus.

PSG Register

Schaut bitte im Datenblatt zum YM2149 oder einer anderen PSG-Implementierung. Beachtet, dass die Register hier direkt in den Speicher gemappt sind.

<https://www.ym2149.com/ym2149.pdf>

Das heißt, du kannst einfach \$D2A0 für R0 und \$D2AF für RF lesen bzw. Schreiben.

Der PSG wird mit 1 MHz, 2 MHz oder PHI2 getaktet.

1 MHz wird im PAL-Modus mit 5/9 PHI2 und im NTSC-Modus mit 4/7 PHI2 erzeugt.

2 MHz wird im PAL-Modus mit 10/9 PHI2 und im NTSC-Modus mit 8/7 PHI2 erzeugt.

Die Anzahl der Stufen in der Hüllkurve kann zwischen 16 und 32 umgeschaltet werden.

Auch die Stereomodi können angepasst werden.

Mono: Alle Kanäle nach links und rechts

Polnisch (Standard): A+B nach links, B+C nach rechts. Gleich für beide Chips.

Tschechischer Modus: A+C nach links, B+C nach rechts. Gleich für beide Chips.

Max-Modus: PSG 1 nach links, PSG 2 nach rechts

COVOX Register

\$D280 - VOLONLYCH1 - R/W

128	64	32	16	8	4	2	1
V	V	V	V	V	V	V	V

Default: 0

V

Unsigned(0-255) – Aktuelle Lautstärke des Kanals. Für die manuelle Wiedergabe von CPU-Samples.

Linker Kanal.

\$D281 - VOLONLYCH2 - R/W

128	64	32	16	8	4	2	1
V	V	V	V	V	V	V	V

Default: 0

V

Unsigned(0-255) – Aktuelle Lautstärke des Kanals. Für die manuelle Wiedergabe von CPU-Samples.

Rechter Kanal.

\$D282 - VOLONLYCH3 - R/W

128	64	32	16	8	4	2	1
V	V	V	V	V	V	V	V

Default: 0

V

Unsigned(0-255) – Aktuelle Lautstärke des Kanals. Für die manuelle Wiedergabe von CPU-Samples.

Rechter Kanal.

\$D283 - VOLONLYCH4- R/W

128	64	32	16	8	4	2	1
V	V	V	V	V	V	V	V

Default: 0

V

Unsigned(0-255) – Aktuelle Lautstärke des Kanals. Für die manuelle Wiedergabe von CPU-Samples. Linker Kanal.

SAMPLE Register

Der Sample-Player ist eine erweiterte Version von Covox. Er spielt die Samples per DMA aus 42 KiB internem RAM ab. Der 6502 muss diesen internen Speicher manuell laden; danach können die Samples wiederholt daraus wiedergegeben werden.

Es gibt 3 Datenformate:

1. 4 bit signed
2. 8 bit signed
3. 4 bit IMA ADPCM, was eine Qualität von etwa 13 Bit ergibt. Dies lässt sich beispielsweise unter Linux mit „sox“ erstellen:
 - `sox -t wav some.wav -t ima -e ima-adpcm some.ima trim 0s 16384s`

Es werden Abtastraten von bis zu 48 kHz unterstützt (höhere Raten sind zwar möglich, der Speicherplatz ist jedoch begrenzt).

Samples werden durch Angabe einer Speicheradresse, einer Periode, einer Länge und einer Lautstärke abgespielt. Die Adresse und die Länge werden gepuffert, die Periode und die Lautstärke werden sofort angewendet.

Wenn ein Sample zu Ende ist, wird ein Interrupt ausgelöst, wodurch das nächste Sample an die angegebene Adresse und Länge geladen werden kann. Wenn kein neues Sample geladen wurde, wird das vorherige abgespielt.

Die Kerntaktrate beträgt $2 \cdot \text{PHI2}$, also ca. 3,6 MHz, und variiert je nach PAL/NTSC.

\$D280-D283: Siehe Covox. Beachtet, dass diese Werte bei aktivierter DMA-Funktion ebenfalls über den Block-RAM aktualisiert werden, falls aktiviert.

\$D284 - RAMADDRL- R/W

128	64	32	16	8	4	2	1
L7	L6	L5	L4	L3	L2	L1	L0

Default: 0

\$D285 - RAMADDRH- R/W

128	64	32	16	8	4	2	1
L15	L14	L13	L12	L11	L10	L9	L8

Default: 0

L0-15

Adresse im Block-RAM zum Lesen oder Schreiben von Daten.

\$D286 - RAMDATA- R/W

128	64	32	16	8	4	2	1
D	D	D	D	D	D	D	D

D

Daten aus dem internen Speicher an der durch RAMADDR angegebenen Adresse lesen bzw. in diesen schreiben.

\$D287 - RAMDATAINC - W

128	64	32	16	8	4	2	1
D	D	D	D	D	D	D	D

D

Schreibe Daten in den internen Speicher an die durch RAMADDR angegebene Adresse. Nach jedem Schreibvorgang wird RAMADDR um 1 erhöht.

\$D288 - CHANSEL - W

128	64	32	16	8	4	2	1
X	X	X	X	X	C	C	C

Default:0

C

Wähle den Kanal aus, um Adresse, Periode, Länge und Lautstärke zu setzen von

1: Kanal 1

2: Kanal 2

3: Kanal 3

4: Kanal 4

Weitere: reserviert.

\$D289 - SAMADDRL - W

128	64	32	16	8	4	2	1
L	L	L	L	L	L	L	L

\$D28A - SAMADDRG - W

128	64	32	16	8	4	2	1
H	H	H	H	H	H	H	H

Default:0

L/H

Legt die Adresse des Samples für den in CHANSEL ausgewählten Kanal fest. Dieses Register wird am Ende des aktuellen Samples oder bei einer Änderung des DMA-Status angewendet.

\$D28B - SAMLENL - W

128	64	32	16	8	4	2	1
L	L	L	L	L	L	L	L

\$D28C - SAMLENG - W

128	64	32	16	8	4	2	1
H	H	H	H	H	H	H	H

Default:0

L/H

Legt die Länge des Samples für den in CHANSEL ausgewählten Kanal fest. Dieses Register wird am Ende des aktuellen Samples oder bei einer Änderung des DMA-Zustands angewendet.

Diese Länge wird in der Anzahl der Samples angegeben.

Länge = L+H*256 +1

\$D28D - SAMPERL - W

128	64	32	16	8	4	2	1
L	L	L	L	L	L	L	L

\$D28E - SAMPERG - W

128	64	32	16	8	4	2	1
H	H	H	H	H	H	H	H

Default:0

L/H

Legt die Dauer des Samples für den in CHANSEL ausgewählten Kanal fest. Dieses Register wird am Ende der aktuellen Periode angewendet.

Das nächste Sample wird abgespielt, sobald diese Periode abgelaufen ist. $2PHI2/(L+H256)$.

Das heißt, hiermit wird die Wiedergaberate des Samples festgelegt.

\$D28F - SAMVOL- W

128	64	32	16	8	4	2	1
X	X	V	V	V	V	V	V

Default:0

V

Stellt die Lautstärke für den unter CHANSEL ausgewählten Kanal auf einen Wert zwischen 0 (Min.) und 63 (Max.) ein. Die Lautstärke ist linear.

\$D290 - SAMDMA- W

128	64	32	16	8	4	2	1
X	X	X	X	D	D	D	D

Default:0

D

DMA je nach Kanal aktivieren.

XXX0 (0) = Kanal 1 DMA aus

XXX1 (1) = Kanal 1 DMA an

XX1X (2) = Kanal 2 DMA an

X1XX (4) = Kanal 3 DMA an

1XXX (8) = Kanal 4 DMA an

\$D291 - SAMIRQEN- R/W

128	64	32	16	8	4	2	1
X	X	X	X	I	I	I	I

Default:0

I

IRQ je nach Kanal aktivieren.

XXX0 (0) = Kanal 1 IRQ aus

XXX1 (1) = Kanal 1 IRQ an

XX1X (2) = Kanal 2 IRQ an

X1XX (4) = Kanal 3 IRQ an

1XXX (8) = Kanal 4 IRQ an

SD292 – SAMIRQACT – R/W

128	64	32	16	8	4	2	1
X	X	X	X	I	I	I	I

I

Prüfen, ob der IRQ für den Kanal aktiv ist

Mit 0 wird der IRQ für den jeweiligen Kanal zurückgesetzt.

XXX1 (1) = IRQ von Kanal 1 aktiv

XX1X (2) = IRQ von Kanal 2 aktiv

X1XX (4) = IRQ von Kanal 3 aktiv

1XXX (8) = IRQ von Kanal 4 aktiv

SD293 – SAMCFG – R/W

128	64	32	16	8	4	2	1
B	B	B	B	A	A	A	A

Default: 0xf0

A

IMA-ADPCM-Modus aktivieren (16-Bit-Sample auf 4 Bit komprimiert, ca. 12-Bit-Qualität)

XXX1 (1) = Kanal 1 im ADPCM-Modus

XX1X (2) = Kanal 2 im ADPCM-Modus

X1XX (4) = Kanal 3 im ADPCM-Modus

1XXX (8) = Kanal 4 im ADPCM-Modus

B

Die Kanäle können 8-Bit- (1) oder 4-Bit- (0) Qualität haben.

XXX1 (16) = Kanal 1, 8-Bit (0 für 4-Bit)

XX1X (32) = Kanal 2, 8-Bit

X1XX (64) = Kanal 3, 8-Bit

1XXX (128) = Kanal 4, 8-Bit

Konfigurationsregister

Auf die Konfigurationsregister kann zugegriffen werden, indem man sie per Bankswitching in den Bereich \$D210–\$D21F verschiebt. Dies geschieht durch das Schreiben des speziellen Werts 0x3F in \$D20C.

Reservierte Stellen (X) müssen als 0 geschrieben werden. Reservierte Stellen werden als 0 gelesen.

Die einzustellenden Werte werden als X(Y) dargestellt, wobei X die Bitwerte (die an die richtige Stelle verschoben werden müssen) und Y den Dezimalwert bezeichnet.

SD210 -MODE - R/W

128	64	32	16	8	4	2	1
X	X	PAL	MonoDet	IRQEna	ChannelMode	X	Saturate

Verschiedene Einstellungen

Default: 49

[Pokey] ChannelMode

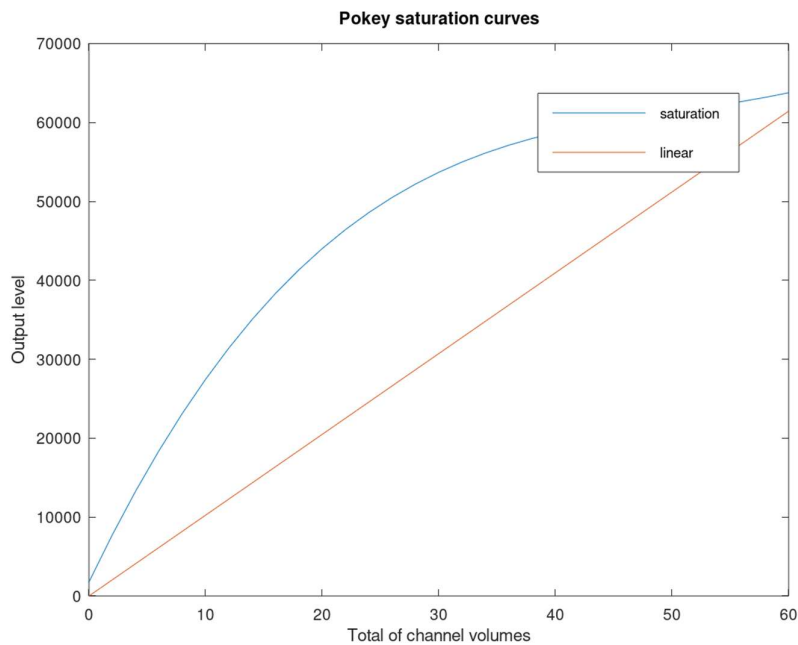
0 (0) = Jeder Pokey gibt als separater „Chip“ aus

1 (4) = Gib jeden Pokey-Kanal separat aus. Z. B. Kanal 1 über AUD, Kanal 2 über Audio-Pin 1, Kanal 3 über Audio-Pin 2 und Kanal 4 über Audio-Pin 3. Bei mehreren Pokey-Chips werden die Kanäle summiert.

[Pokey] Saturate

0 (0) = Lineare Sättigungskurve

1 (1) = Pokey-Sättigungskurve



Wir planen, in zukünftigen Firmware-Versionen benutzerdefinierte Sättigungskurven zu ermöglichen.

IRQEna

0 (0) = Es ist nur der IRQ für Pokey 1 aktiviert

1 (8) = Alle IRQs sind aktiviert

MonoDet

0 (0) = Linker Kanal nach links, rechter Kanal nach rechts

1 (16) = Wenn der rechte Kanal stumm ist, den linken Kanal sowohl auf der linken als auch auf der rechten Seite wiedergeben.

PAL

0 (0) = NTSC: Verwende den PHI2-Multiplikator 4/7 für einen 1-MHz-Takt

1 (32) = PAL: Verwende den PHI2-Multiplikator 5/9 für einen 1-MHz-Takt

\$D211 - CAPABILITY - RO

128	64	32	16	8	4	2	1
X	FLASH	SAMPLE	COVOX	PSG	SID	Pokey	Pokey

Default: gerätespezifisch

Pokey

00 (0) = Gerät enthält einen einzigen Pokey

01 (1) = Gerät enthält zwei Pokeys

10 (2) = Gerät enthält vier Pokeys

SID

0 (0) = Gerät enthält keinen SID

1 (4) = Gerät enthält zwei SID Chips

PSG

0 (0) = Gerät enthält keinen PSG

1 (8) = Gerät enthält zwei PSG Chips

COVOX

0 (0) = Gerät enthält kein COVOX

1 (16) = Gerät enthält vier manuelle 8-Bit-COVOX-Lautstärkeregister

SAMPLE

0 (0) = Gerät enthält keinen Sample-Player

1 (32) = Gerät enthält einen auf Block-RAM basierenden Sample-Player mit 42 KiB Speicher

FLASH

0 (0) = Gerät unterstützt das Lesen oder Schreiben von Flash-Inhalten nicht

1 (64) = Gerät unterstützt den Zugriff auf Flash-Speicher (UFM und CFM)

\$D212 - POSTDIVIDE - RW

128	64	32	16	8	4	2	1
CH3	CH3	CH2	CH2	CH1	CH1	CH0	CH0

Default: 160

PokeyMAX gibt an jedem Audioausgang standardmäßig 0-5 V aus. Ein einzelner Audio-Chip liefert bei maximaler Lautstärke 5 V und bei minimaler Lautstärke 0 V.

Für den internen Ausgang an Pin 37 des Atari ist dies korrekt.

Für den Line-Pegel-Ausgang möchten wir näher an 1 V liegen. Dieses Register ermöglicht es uns, dies zu erreichen, indem ausgewählte Kanäle durch 2, 4 oder 8 geteilt werden, was 0-2,5 V, 0-1,25 V oder 0-0,0675 V ergibt.

Hinweis: Wenn mehrere Geräte gleichzeitig ausgehen, könnten wir einen Bereich von 0-10 V, 0-20 V oder sogar 0-50 V haben! Beachtet, dass der Pokeymax von Haus aus nur 0-5 V ausgeben kann, so- dass alles über 5 V übersteuert. Durch die Verwendung von /4 könnt ihr 4 Geräte bei maximaler Lautstärke ohne Verzerrung betreiben.

CHO

00 (0) = /1

01 (1) = /2

10 (2) = /4

11 (3) = /8

CH1

00 (0) = /1

01 (4) = /2

10 (8) = /4

11 (12) = /8

CH2

00 (0) = /1

01 (16) = /2

10 (32) = /4

11 (48) = /8

CH3

00 (0) = /1

01 (64) = /2

10 (128) = /4

11 (192) = /8

\$D213 - GTIAEN - RW

128	64	32	16	8	4	2	1
X	X	X	X	CH3	CH2	CH1	CH0

Default: 12

Über dieses Register kann der GTIA in die Ausgangskanäle gemischt werden.

In der Regel geschieht dies für die Kanäle, die an Phono-Anschlüsse angeschlossen sind, und nicht für Kanäle, die direkt in das System ausgegeben werden, da das Motherboard den GTIA bereits mischt.

CHO

0(0)=GTIA nicht in Kanal 0 enthalten

0(1)=GTIA in Kanal 0 enthalten

CH1

0(0)=GTIA nicht in Kanal 1 enthalten

1(2)=GTIA in Kanal 1 enthalten

CH2

0(0)=GTIA nicht in Kanal 2 enthalten

1(4)=GTIA in Kanal 2 enthalten

CH3

0(0)=GTIA nicht in Kanal 3 enthalten

1(8)=GTIA in Kanal 3 enthalten

\$D214 - VERSION - R/ VERSIONLOC -W

W

128	64	32	16	8	4	2	1
X	X	X	X	X	LOC	LOC	LOC

Default: 0

LOC

Einen Wert zwischen 0 und 7 für das Byte eingeben, das aus dem Versionsstring gelesen werden soll

R

128	64	32	16	8	4	2	1
CHAR	CHAR	CHAR	CHAR	CHAR	CHAR	CHAR	CHAR

Default: NA (hängt von der Version ab!)

CHAR

Lies ein einzelnes ASCII-kodiertes Zeichen aus der Versionszeichenfolge.

Beispiel: Schreibe 0, lies dann das Zeichen 0, schreibe 1, lies dann das Zeichen 1 usw.

\$D215 - PSGMODE - RW

128	64	32	16	8	4	2	1
X	VOLP	VOLP	ENV16	STEREO	STEREO	FREQ	FREQ

Default: 4

Über dieses Register können die Einstellungen für die PSG-Chips geändert werden

FREQ

00 (0)=2MHz

01 (1)=1MHz

10 (2)=1.7MHz

11 (3)=reserviert

STEREO

00 (0)=Mono. Alle Kanäle beider Chips nach links und rechts

01 (4)=Polnischer Standard. A+B nach links, B+C nach rechts. Für beide Chips.

10 (8)=Tschechischer Standard. A+C nach links, B+C nach rechts. Für beide Chips.

11 (12)=Chip 1 nach links, Chip 2 nach rechts.

ENV16

0 (0)=32 Stufen-Hüllkurve

1 (16)=16 Stufen-Hüllkurve

VOLP

00 (0)=Logarithmische Laustärke

11 (96)=Lineare Laustärke

Reservierter Platz für YM/AY3-Kurven.

\$D216 – SIDMODE - RW

128	64	32	16	8	4	2	1
X	X	D2	T2	X	X	D1	T1

Default: 17

Über dieses Register lassen sich die Einstellungen für die SID-Chips ändern. Dadurch wird die Filterkurve linear angepasst, um die stark nichtlineare 6581-Kurve nachzubilden. Außerdem werden die gemischten Wellenformen geändert und die 6581-Filterverzerrung aktiviert. Für den 8580 kann zudem Digifix aktiviert oder deaktiviert werden.

T1 Sid 1

0 (0)= 8580 (linearer Filter)

1 (1)= 6581

D1 Sid 1

0 (0)= Digifix aus

1 (2)= Digifix an

T2 Sid 2

0 (0)= 8580 (linearer Filter)

1 (16)= 6581

D2 Sid 2

0 (0)= Digifix aus

1 (32)= Digifix an

\$D217 – RESTRICT - RW

128	64	32	16	8	4	2	1
X	X	X	SAMPLE	PSG	SID	POKEY	POKEY

Default: 31

Ermöglicht die Deaktivierung von Soundchips per Software. Diese Funktion wird vom U1MB-Plugin genutzt.

POKEY

00(0)=Mono

01(1)=Stereo (Wenn aus, Bereich durch Pokey 1 ersetzt)

10(2)=Quad (Wenn aus, Bereich durch Pokey 1 ersetzt)

SID

0(0)=SID Bereich durch Pokey 1 ersetzt

1(4)=SID an

PSG

0(0)=PSG Bereich durch Pokey 1 ersetzt

1(8)=PSG an

SAMPLE

0(0)=COVOX/SAMPLE Bereich durch Pokey 1 ersetzt

1(8)=COVOX/SAMPLE an

\$D218-\$D21A RESERVIERT

Nicht lesen oder schreiben

\$D20C/\$D21C - ID -R

\$D20C/\$D21C - CONFIG - W

W

128	64	32	16	8	4	2	1
CFGEN	CFGEN	CFGEN	CFGEN	CFGEN	CFGEN	CFGEN	CFGEN

CFGEN

00111111(63) –Einblenden der Konfiguration in den Speicherbereich \$D210–\$D21F

Sonstige Werte - \$D210-\$D21F bleibt unverändert

R

128	64	32	16	8	4	2	1
ID	ID	ID	ID	ID	ID	ID	ID

Default: 1

ID

Gibt 1 zurück, wenn PokeyMAX installiert ist

FLASH

Die folgenden Register sind nur vorhanden, wenn Flash-Unterstützung vorhanden ist. Sie dienen Retronics zur Durchführung von Updates. In 10M02-Versionen werden sie nicht unterstützt. In 10M04- und 10M08-Versionen werden sie mit einer 16-Bit-Wortadresse (A0-A15) unterstützt. In 10M16-Versionen werden sie ebenfalls unterstützt, mit einer erweiterten 17-Bit-Wortadresse (A0–A16), die den adressierbaren Flash-Speicherplatz verdoppelt. Cores können geflasht oder Register-Standardwerte mit dem Programm pokeycfg.xex geändert werden.

Der Flash-Speicher dient zur Speicherung des FPGA-Kerns und der Standardwerte der Register. Künftig wird er auch für "SID 'corrupt' mixed waveforms", Lautstärkekurvendaten, SID-Filterkurven und möglicherweise einige Standard-Samples für den Sample-Player verwendet werden.

Der Flash-Speicher verfügt über eine parallele 32-Bit-Schnittstelle. Weitere Informationen findest du im Max10-Flash-Handbuch.

\$D21B - FLASHOP -RW

128	64	32	16	8	4	2	1
X	X	A16*	A15	A14	CFG	REQ	R/W_N

Default:0

* A16 ist nur bei 10M16-Versionen vorhanden (Bit 5 ist bei 10M04 und 10M08 reserviert/X).

R/W_N

0 (0)=Daten in den Flash-Speicher oder die Konfigurationsdatei schreiben (zuerst löschen)

1 (1)=Flash-Daten oder CFG-Datei lesen

REQ

0 (0)=Keine 32-Bit-Anfrage an den Flash-Controller senden.

1 (2)=Eine neue 32-Bit-Anfrage an den Flash-Controller senden. Sobald diese abgeschlossen ist, wird REQ zurückgesetzt. Bei Lesevorgängen stehen die Daten voraussichtlich im nächsten Taktzyklus im 32-Bit-Register FLASHDAT zur Verfügung. Schreib- und Löschvorgänge können länger dauern. Bei Schreibvorgängen werden die Daten aus dem 32-Bit-Register FLASHDAT übernommen.

CFG

0 (0)=Zugriff auf den Datenbereich (d. h. primäre Flash-Daten).

1 (4)=Auf den Konfigurationsbereich zugreifen. Dieser besteht aus zwei speziellen Registern im Max10 für Status, Schreibschutz und das Löschen von Seiten/Sektoren.

\$D21D - FLASHADL -RW

128	64	32	16	8	4	2	1
A5	A4	A3	A2	A1	A0	WIN	WIN

Default:0

Lese-/Schreibzugriff auf die Bits 7 bis 0 des Flash-Adressregisters.

WIN: Legt fest, auf welches Byte des 32-Bit-Worts über FLASHDAT zugegriffen wird. In Kombination mit der Wortadresse (A0-A15 bei 10M04/10M08, A0-A16 bei 10M16) bildet WIN eine virtuelle Byte-Adresse: A17-A0 bei 10M04/10M08 oder A18-A0 bei 10M16.

A15-A0: Die Wortadressbits A0–A5 des Flash-Speichers (Bits 7-2 dieses Registers). A6-A15 befinden sich in FLASHADH. A16 befindet sich in Bit 5 von FLASHOP (nur 10M16).

\$D21E - FLASHADH - RW

128	64	32	16	8	4	2	1
A13	A12	A11	A10	A9	A8	A7	A6

Default:0

Lese-/Schreibzugriff auf die Bits 15 bis 8 des Flash-Adressregisters.

\$D21F - FLASHDAT -RW

Default:0

Lese-/Schreibzugriff vom/auf das 8-Bit-Fenster in das 32-Bit-Konfigurationsregister.

Die Adresse im Register wird durch die beiden Low-Bits von FLASHADL festgelegt.

Der Inhalt wird entweder von der CPU oder durch einen Flash-Lesevorgang geändert.

Bei einem Flash-Schreibvorgang wird der Inhalt dieses Registers geschrieben.